

Scanned 2/17/2005
DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

04135495 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 05-127195 [JP 5127195 A]

PUBLISHED: May 25, 1993 (19930525)

INVENTOR(s): SUGAWARA ATSUSHI

 UEDA TOMOMASA

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 03-292620 [JP 91292620]

FILED: November 08, 1991 (19911108)

INTL CLASS: [5] G02F-001/136; G02F-001/1335; G09F-009/30

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9
 (COMMUNICATION -- Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --
Glass

 Conductors)

JOURNAL: Section: P, Section No. 1609, Vol. 17, No. 498, Pg. 29,
 September 08, 1993 (19930908)

ABSTRACT

PURPOSE: To provide a liquid crystal display device in which parasitic capacity between a picture element electrode and the electrode of a signal line or a scanning line, etc., adjacent to the picture element electrode is reduced and displayed picture quality is improved.

CONSTITUTION: This device is the liquid crystal display device provided with the signal lines 13 plurally arranged in a row direction or a column direction, the scanning lines 12 plurally arranged in a direction orthogonally crossed with the signal lines 13, the picture element electrode 14 arranged in an area surrounded by the signal line 13 and the scanning line 12, and a thin film transistor 11 connected between the picture element electrode 14 and the signal line 13. In this device, a

shield electrode 15 is formed between a layer where the signal line 13 is formed and a layer where the picture element electrode 14 is formed through insulating films 22 and 23.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-127195

(43) 公開日 平成5年(1993)5月25日

(51) Int. Cl. ⁵	識別記号	F I
G02F 1/136	500	9018-2K
1/1335		7724-2K
G09F 9/30	338	7926-5G

審査請求 未請求 請求項の数 1 (全 8 頁)

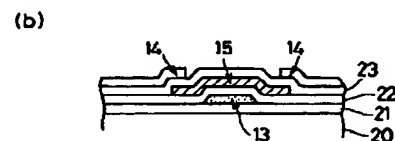
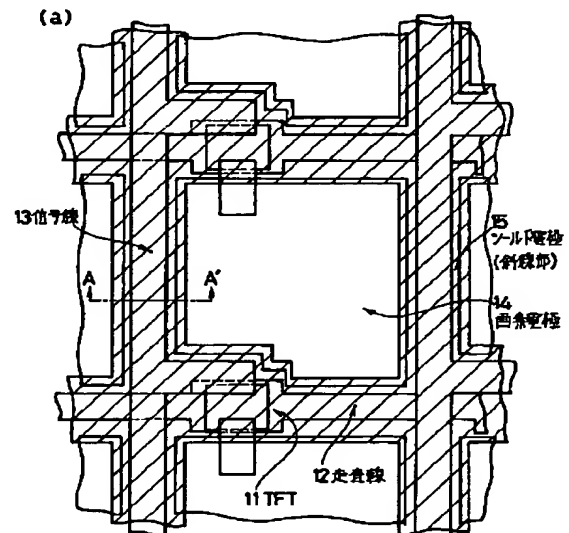
(21) 出願番号	特願平3-292620	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成3年(1991)11月8日	(72) 発明者	菅原 淳 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝総合研究所内
		(72) 発明者	上田 知正 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝総合研究所内
		(74) 代理人	弁理士 鈴江 武彦

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 画素電極とこれに隣接する信号線や走査線等の電極との間の寄生容量を低減することができ、表示画質の向上をはかり得る液晶表示装置を提供すること。

【構成】 行方向又は列方向に複数本配列された信号線13と、これらの信号線13と直交する方向に複数本配列された走査線12と、信号線13及び走査線12で囲まれた領域にそれぞれ配置された画素電極14と、画素電極14と信号線13との間に接続された薄膜トランジスタ11とを具備した液晶表示装置において、信号線13が形成された層と画素電極14が形成された層との間に、絶縁膜22、23を介してシールド電極15を形成したことを特徴とする。



【特許請求の範囲】

【請求項 1】行方向又は列方向に複数本配列された信号線と、これらの信号線と直交する方向に複数本配列された走査線と、前記信号線及び走査線で囲まれた領域にそれぞれ配置された画素電極と、前記画素電極と信号線との間に接続された薄膜トランジスタとを具備した液晶表示装置において、前記信号線が存在する層と前記画素電極が存在する層との間に、該信号線及び画素電極とそれぞれ絶縁層を介してシールド電極を形成してなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリックス型の液晶表示装置に係わり、特にアレイ基板側にシールド電極を形成した液晶表示装置に関する。

【0002】

【従来の技術】近年、薄型軽量の表示装置として、液晶ディスプレイの開発が活発に行われている。なかでも、高画質、高精細を実現する方式として、薄膜トランジスタアレイを用いたアクティブマトリックス方式の液晶ディスプレイが注目されている。現在、例えばラップトップ型コンピュータ用の液晶ディスプレイとしては、対角 10 インチサイズで画素数が縦 500×横 2000 程度のものが主流であるが、より高画質、高精細のディスプレイを目指して、またファインピッチの高精細型プロジェクシ

$$\Delta V_p = \{ C_{gs} / (C_{lc} + C_s + C_{gs} + C_{ds}) \} \times \Delta V_g \quad \dots (1)$$

【0005】この突き抜け電圧 (ΔV_p) のため、画素電位は信号線の電位で書き込むことができない。そこで、対向電極の電位を ΔV_p 分だけ変化させて突き抜け電圧を補償したり、蓄積容量 (C_s) を増やして ΔV_p を小さくしている。しかし、 C_{lc} は一定ではなく液晶にかかる電圧によって変化し、また製造上の問題で画面内の C_{gs} , C_s , C_{lc} を常に一定にすることはできない。このため、 ΔV_p は画面内で一定でなくなり、対向電極の電位を調整するだけでは完全に補償することができない。その結果、画面上でフリッカや焼き付きが問題となる。

$$\Delta V_{ps} = (C_{ds1} \times \Delta V_{sig1} + C_{ds2} \times \Delta V_{sig2}) / (C_{lc} + C_s + C_{gs} + C_{ds1} + C_{ds2}) \quad \dots (2)$$

【0007】となる。この電位変動 ΔV_{ps} が 1 フレーム毎に、言い換えれば画面の一番下の画素列を書き込む毎に起こる。このため、画素毎に見ると書き込みが行われて ΔV_{ps} が起こるまでの時間が画面の上下で異なるため、それが輝度の変化として現われる。また、 C_{ds1} , C_{ds2} が大きくなると信号線の電位変動が画素電位変動につながりクロストークとなる。

【0008】これらの寄生容量をアレイ基板で見えてみると、まず、 C_{gs} は主に T F T のチャネル部分と走査線電極とソース電極（画素電極）の重なり部分で形成され

ヨンの開発等が行われている。

【0003】薄膜トランジスタアレイを用いたアクティブマトリックス方式の液晶ディスプレイの 1 画素構成を図 5 (a) に、その等価回路を図 5 (b) に示す。図中 1 はスイッチング素子としての薄膜トランジスタ (T F T)、2 は走査線、3 は信号線、4 は画素電極である。この装置では、走査線 2 が選択された時間だけ T F T 1 が O N となり信号線 3 の電圧によって、画素電極 4 と対向電極（図示せず）に挟まれた液晶で形成されるコンデンサ (C_{lc}) と、アレイ基板上に作り込まれた補助容量 (C_s) が充電される。走査線 2 の非選択時は、T F T 1 は O F F となり、画素電極 4 は信号線 3 から切り離され、画素電位が保持される。このようにして、画素電極と対向電極との間に信号に対応した電界が生じ、液晶分子が電界の向きに配向し、液晶を通過する光をコントロールする。アクティブマトリックス方式の液晶ディスプレイの動作原理は、以上のようなものである。

【0004】ところで、薄膜トランジスタアレイにおいては、寄生容量として、画素電極－走査線間の静電容量 (C_{gs})、画素電極－信号線間の静電容量 (C_{ds}) が存在する。従って画素電極は、信号線、走査線と静電容量結合しており、信号線、走査線の電位変動が画素電位に影響を与える。走査線の電位変動が問題となるのは画素につながる走査線のパルスが立ち下がった時で、この時に走査線パルスの立ち下がりに応じて突き抜け電圧 (ΔV_p) と呼ばれる電位変動が起こる。

【0006】一方、信号線の電位変動は常に起こるため、画素電位変化の様子は一様ではない。また、信号線の駆動方法によっても変化の様子が違うが、一例としてフレーム反転での変化の様子を説明する。フレーム反転では全ての信号線電位を同一極性とし、1 フレーム毎に信号線の極性を反転するため、この極性を反転したときが最も信号線の電位変動が大きい。このときの画素電位の変動 (ΔV_{ps}) は、画素電極と静電容量を持つ左右の信号線の電位変化を ΔV_{sig1} , ΔV_{sig2} として、またそれぞれの静電容量を C_{ds1} , C_{ds2} とすると、

る。また、 C_{ds} は主に画素電極と信号線が接する部分で形成される。前述のようにディスプレイの高精細化が進み、1 つの画素のサイズが小さくなってくると、各電極間を大きく離すことはディスプレイの開口率を大きく低下させることとなる。従って、各電極間をできるだけ近付けることが望ましい。このように電極間距離を近づけると、 C_{ds} , C_{gs} が更に大きくなり、これらの寄生容量が画質を劣化させる大きな要因となってくる。

【0009】さて、今までは、アレイ基板の寄生容量による従来の諸問題について述べてきたが、液晶ディスプ

レイを光透過型デバイスとして使う場合、光による悪影響への対策を講じなければならない。液晶物質に電圧が掛かっていないときに表示が白或いは透明のとき、ノーマリーホワイトモードと呼ぶが、このとき画素電極と信号線電極の間から光が漏れ、コントラストが低下してしまう。これを防ぐために従来から、対向基板に遮光性導電膜でブラックマトリックスを形成している。しかし、対向基板に形成するという理由で、その位置ずれを考慮してブラックマトリックスを少し大きめに形成しなければならないので、開口率を犠牲にしている。

【0010】また、一旦液晶を通過した光が対向電極側のガラス基板やブラックマトリックス、或いはその後のレンズ系などに反射して前記の薄膜トランジスタのバックチャネルに入射すると、薄膜トランジスタのOFF時のリーク電流となり、コントラスト低下などの画質劣化につながるという問題がある。

【0011】その他の問題としては、液晶のエッジリバーと呼ばれる問題がある。液晶ディスプレイは、基本的には画素電極と対向電極との間に電界を掛け、その方向に液晶物質が配向し光の透過、遮断を制御するものである、しかし、画素電極の直ぐ横に信号線が存在するので、この信号線と画素電極の間にいわば横方向の電界が掛り、液晶の配向状態を乱してしまう。これが、エッジリバーであり、コントラスト低下などの画質劣化につながる。液晶ディスプレイの高精細化が進むに伴い信号線と画素電極との間隔が益々狭くなり、この問題が深刻化している。

【0012】また、信号線と画素電極の隙間付近にある液晶は、信号線と画素電極の電位が異なる場合、その配向が信号線、画素の両方の電界の影響を受けている状態である。いわば、液晶配向の遷移状態にあるといえる。従来は、この遷移状態の液晶を通過する光は、画素電極の電位で制御されず、コントラスト低下などの画質劣化につながるの、対向基板に付けたブラックマトリックスで覆い隠すといった措置を取っている。これは、開口率を低くしている原因の一つとなる。

【0013】

【発明が解決しようとする課題】このように従来、突き抜け電圧を低く抑えるためには、(1)式から分かるように蓄積容量(Cs)を大きくしなければならないが、そのための電極を形成するとことは開口率を招く。また、CdsやCgs等の寄生容量は画質を劣化させる要因となり、特にCdsが大きくなると信号線と画素電極とのクロストークが顕著に現れる。これらの寄生容量を小さくするために電極間距離を大きく離すと、開口率の低下につながる。また、高精細化が進むとエッジリバーによる画質劣化も無視できないものとなる。

【0014】本発明は、上記事情を考慮してなされたもので、その目的とするところは、電極間距離を大きく離すことなく、画素電極とこれに隣接する信号線や走査線

等の電極との間の寄生容量を低減することができ、クロストークの低減、Csの増大及びエッジリバーの抑制等により、表示画質の向上をはかり得る液晶表示装置を提供することにある。

【0015】

【課題を解決するための手段】本発明の骨子は、画素電極の存在する層と信号線の存在する層との間に、新たにシールド電極を設置して、画素電極に関する寄生容量の低減をはかることにある。

10 【0016】即ち本発明は、行方向又は列方向に複数本配列された信号線と、これらの信号線と直交する方向に複数本配列された走査線と、信号線及び走査線で囲まれた領域にそれぞれ配置された画素電極と、画素電極と信号線との間に接続された薄膜トランジスタとを具備した液晶表示装置において、信号線が存在する層と画素電極が存在する層との間に、該信号線及び画素電極とそれぞれ絶縁層を介してシールド電極を形成するようにしたものである。

【0017】

20 【作用】画素電極と信号線や走査線等の電極との間の静電容量は、2つの電極の形状と周囲の誘電率、電極形状に大きく左右される。2つの電極(例えば、画素電極と信号線電極)間に定電位のシールド電極が存在する場合、画素電極から信号線電極に向かう電気力線がシールド電極の静電シールド効果により減少する。この電気力線の減少は、2つの電極間の静電容量の減少を意味する。従って本発明によれば、シールド電極を画素電極と信号線との間に形成することによって、画素電極とこれに隣接する信号線との間の静電容量を減少させることができる。このため、従来技術に比べて画素電極に関する寄生容量を低減し、より高画質な、高精細な液晶ディスプレイの形成が可能となる。

30 【0018】本発明では、信号線と画素電極の間の層に、絶縁膜で絶縁を保ちながら、シールド電極を形成し一定電位に保つことにより、信号線電極の電位変動の影響を画素電極に伝えないようにし、クロストークをなくすことができる。さらに、このシールド電極は、液晶に掛ってしまう横方向の電界の最大値を抑え、前述のエッジリバーの影響を低くし、コントラスト等の表示特性を向上させることができる。そのうえ、このシールド電極と画素電極との間に静電容量を持つことから、これを前述の蓄積容量(Cs)として使うことができるので、開口率を低めたり製作工程数を増やしたりせずすむ。

40 【0019】また、シールド電極をTaで形成し、その表面を陽極酸化すれば、表面に誘電率の高い絶縁膜を被覆した電極となり、前述の蓄積容量(Cs)をより大きくすることができ、前述の突き抜け電圧や信号線・画素のクロストークをさらに低減させることができる。

50 【0020】また、シールド電極を遮光性導電膜で形成することにより、ブラックマトリックスとしての働きも

兼ねさせ、なおかつ、薄膜トランジスタのバックチャネルを光から守るチャネル遮光膜の働きもさせることができる。逆に、シールド電極を透明導電膜で形成すれば、開口率を低下させずに大きな静電容量を持った蓄積容量 (Cs) を形成でき、前述の突き抜け電圧 (ΔV_p) を低く抑えることができる。

【0021】また、シールド電極の電位を適当に調整することにより、信号線と画素電極の隙間付近の液晶の配向状態をコントロールし、ブラックマトリックス (シールド電極自身) で覆い隠さなければならない面積を減らして、開口率を上げることも可能である。

【0022】

【実施例】以下、本発明の詳細を図示の実施例によって説明する。

【0023】図1は本発明の第1の実施例に係わる液晶ディスプレイの1画素構成を示すもので、(a)は平面図、(b)は(a)の矢視A-A'断面図である。図中11はスイッチング素子としての薄膜トランジスタ (TFT)、12は走査線 (ゲート線)、13は信号線、14は画素電極、15はシールド電極、20はガラス基板、21、22、23は絶縁膜を示している。

【0024】基本的な構成は従来装置と同様であるが、本実施例ではシールド電極15を新たに設けたことを特徴としている。即ち、シールド電極15は、信号線13が存在する層と画素電極14が存在する層との間に配置され、信号線13を覆うように且つ画素電極14と一部重なるように形成されている。また、シールド電極15と信号線13及び画素電極14との間には、絶縁膜22、23がそれぞれ配設されている。次に、上記装置の製造方法について説明する。

【0025】まず、ガラス基板20上にMo-Ta合金を250nm堆積し、これをパターニングして、走査線12を形成する。続いて、これらの上にゲート絶縁膜21としてSiO_x、SiN_xをそれぞれ300nm、50nm堆積し、連続して活性層のa-Si、チャネル保護膜としてSiN_xを、それぞれ50nm、200nm堆積する。

【0026】次いで、チャネル保護膜のSiN_xを島状にエッチング形成したのち、オーミックコンタクト層としてのn'-a-Si層を50nm堆積する。この後、n'-a-Si、a-Siを島状にエッチングし、走査線12の取り出し部分のゲート絶縁膜21を除去する。

【0027】次いで、Cr、Alをそれぞれ50nm、300nm堆積し、これをパターニングして信号線13 (ドレイン電極)、ソース電極を形成する。そして、信号線13をマスクにしてTFT11のソースドレイン電極間のn'-a-Si層をチャネル保護膜とは選択的にエッチング除去する。その後、全面にSiN_x膜22を350nm堆積してから、前記シールド電極15として、遮光性導電膜のCrを100nm堆積させる。な

お、シールド電極15としては、必ずしも遮光性導電膜に限らず、透明導電膜のITOを100nm堆積させてもよい。さらに、遮光性導電膜としてのTaを600nm堆積させて、その表面を300nmだけ陽極酸化してもよい。

【0028】次いで、全面にSiN_x膜23を200nm堆積し、前記走査線12の端部パッド部上と、前記ソース電極上、及び前記シールド電極15の端部パッド上のSiN_xをエッチング除去する。但し、シールド電極15をTa及びその陽極酸化膜で形成した場合は、このSiN_x膜を堆積しない。しかるのちに、画素電極14としてのITOを100nm堆積し、エッチングによりそのパターンを形成する。このようにして、TFTアレイが形成される。そして、このTFTアレイ基板と対向電極基板との間に液晶を挿入し、封止することにより、液晶ディスプレイが形成される。

【0029】このような構成であれば、画素電極14から信号線13に向かう電気力線がシールド電極15の静電シールド効果により減少する。このため、画素電極-信号線間の静電容量が低減し、寄生容量に起因する画質の劣化を未然に防止することができる。つまり、表示画質の向上をはかることができる。なお、本発明者らの実験によれば、突き抜け電圧、フレーム反転による画素電位変動を検出して従来装置と比較することによって、シールド電極15の形成により画素電極-信号線間の寄生容量が減少することが確認された。

【0030】また、本実施例では、シールド電極15を一定電位に保つことにより、信号線13の電位変動の影響を画素電極14に伝えないようにし、クロストークをなくすることができる。さらに、シールド電極15は液晶に掛ってしまう横方向の電界の最大値を抑え、前述のエッジリバースの影響を少なくするので、コントラスト等の表示特性を向上させることができる。しかも、シールド電極15は画素電極14との間に静電容量を持つことから、これを蓄積容量 (Cs) として使うことができる。

【0031】また、シールド電極15を遮光性導電膜で形成しているので、これをブラックマトリックスとして利用することができ、さらにTFT11のバックチャネルを光から守るチャネル遮光膜として利用することもできる。さらに、シールド電極15の電位を適当に調整することによって、信号線13と画素電極14の隙間付近の液晶の配向状態をコントロールし、ブラックマトリックス (シールド電極自身) で覆い隠さなければならない面積を減らして、開口率を上げることも可能である。

【0032】また、シールド電極をTaで形成し、その表面を陽極酸化すれば、表面に誘電率の高い絶縁膜を被覆した電極となり、前述の蓄積容量 (Cs) をより大きくすることができ、突き抜け電圧や信号線、画素のクロストークをさらに低減させることができる。

【0033】図2は、本発明の第2の実施例の要部構成を示す図であり、(a)は平面図、(b)は(a)の矢視B-B'断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0034】この実施例が、先に説明した第1の実施例と異なる点は、遮光性導電膜のシールド電極25をマスクにし、アレイ基板の裏側から光を当てて画素電極14をセルフアラインで形成したことにある。

【0035】この実施例では、シールド電極25と画素電極14との間の静電容量を蓄積容量とするときに、パターン合わせずれによる蓄積容量の設計値からのずれをなくすることができる。また、この場合、画素電極14とシールド電極25がオーバーラップしないので、絶縁膜のピンホールによる層間ショートのはない。

【0036】ここで、今後の投射型液晶テレビ、ビューファインダー等の高精細化への動向を考えると、画素サイズはできるだけ小さい方が望ましい。現状では、小型のものでも $100\mu\text{m} \times 100\mu\text{m}$ 程度である。将来的にはより一層の小型化が望まれるが、技術的に難しい問題を抱えている。例えば、画素サイズ $40\mu\text{m} \times 40\mu\text{m}$ として、従来のようにゲート線と同じ層に適切な大きさの蓄積容量電極を設けると、開口率は殆ど0%であり、また、狭い面積で容量を稼ぐために蓄積容量の絶縁膜を誘電率の高いものにしたとしても、高々開口率を20%にできる程度であった。

【0037】これに対し、第1及び第2の実施例のような構造を採用することにより、画素サイズが $40\mu\text{m} \times 40\mu\text{m}$ であるにも拘らず、開口率52%を達成することができた。

【0038】図3は、本発明の第3の実施例の要部構成を示す図であり、(a)は平面図、(b)は(a)の矢視C-C'断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0039】この実施例では、シールド電極35を透明導電膜にし、画素電極14下のほぼ全面にも形成している。ここで、シールド電極35が透明であることからTFT部分上にはシールド電極35を形成していないが、TFT部分の遮光には別に遮光膜を設ける、又は対向基板側に遮光膜を設けるようにすればよい。これによって、蓄積容量(Cs)を十分に大きくすることができ、突き抜け電圧(ΔV_p)の変動量を0.1V以下に低減することができた。また、図3のような画素形状を取り、ノーマリーブラックモードにすれば、画素サイズが $40\mu\text{m} \times 40\mu\text{m}$ であるにも拘らず、開口率57%を達成することができた。

【0040】また、シールド電極35を透明導電膜で作ってれば、走査線12と信号線13をマスクにして、アレイ基板の裏側から光を当てる所謂セルフアライン法で画素電極14を形成することもできる。この方法により、マスクの合わせずれを考慮せずに済むようになり、

走査線12及び信号線13を光漏れを防ぐブラックマトリックスとして利用することができる。これにより、前述の画素サイズが $40\mu\text{m} \times 40\mu\text{m}$ の場合で、開口率70%を達成することができた。また、ノーマリーホワイトモードを使えるので、コントラストを高くすることができるようになった。

【0041】図4は、本発明の第4の実施例の要部構成を示す図であり、(a)は平面図、(b)は(a)の矢視D-D'断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0042】この実施例は、基本的には第1の実施例と同様であるが、TFTのバックチャネル上部だけシールド電極15を除去している。なお、図中16はa-Si等の活性層、17はSiNx等のチャネル保護膜、18は対向電極、30は対向基板を示している。

【0043】ここで、シールド電極15の電位であるが、例えば対向電極と同電位にしておくと、結果的に開口率を最大にできる。但しこの場合、TFTのバックチャネル側に正電位の電極が存在するので、TFTのリーク電流が懸念される。従って本実施例のようにバックチャネル上部だけシールド電極15を抜いておく。もし、TFTのバックチャネルを遮光しなければならない場合は、対向基板側にブラックマトリックスを取り付ければよい。

【0044】なお、本発明は上述した各実施例に限定されるものではない。TFTアレイのパターン、層構造や材料等は、実施例で用いたものに限定されるものではなく、仕様に応じて適宜変更可能である。また、シールド電極はゲート絶縁膜中にあるとよく、材料はCrでもよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0045】

【発明の効果】以上詳述したように本発明によれば、信号線が形成された層と画素電極が形成された層との間にシールド電極を配設し、且つこのシールド電極を遮光性導電膜で形成することにより、次のような効果を期待できる。

- (1) 信号線と画素とのクロストークをなくすることができる。
- (2) シールド電極をブラックマトリックスとしても利用できるので、光漏れによるコントラスト低下を防ぐことができる。
- (3) 対向電極に反射して、薄膜トランジスタのチャネルに入射する光を遮断するチャネル遮光膜としての働きもある。

【0046】(4) エッジリバースを低減させて、コントラストを向上させることができる。

(5) 開口率を犠牲にせずに、なおかつ、製作工程数を増やすことなく、蓄積容量を形成できる。

【0047】(6) このシールド電極の電位を最適化すれ

ば、ブラックマトリックス（シールド電極自身が兼ねている）で覆い隠すべき面積を減らせるので、開口率を上げることができる。

【0048】また、シールド電極を、透明導電膜で形成する場合には、上記の(2)(3)の効果はないが、上記の(5)の効果の蓄積容量を大きくすることができるので、前述の突き抜け電圧をさらに小さく抑えることができる。

【図面の簡単な説明】

【図1】第1の実施例に係わる液晶ディスプレイの1画素構成を示す図、

【図2】第2の実施例に係わる液晶ディスプレイの1画素構成を示す図、

【図3】第3の実施例に係わる液晶ディスプレイの1画素構成を示す図、

素構成を示す図、

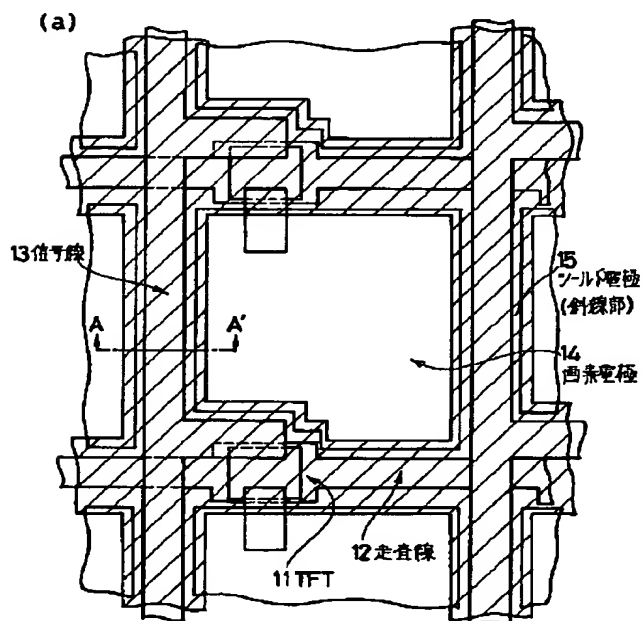
【図4】第4の実施例に係わる液晶ディスプレイの1画素構成を示す図、

【図5】従来の液晶ディスプレイの1画素構成を示す図。

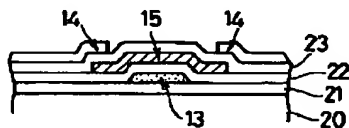
【符号の説明】

- 11…薄膜トランジスタ（TFT）、
- 12…走査線（ゲート線）、
- 13…信号線、
- 14…画素電極、
- 15、25、35…シールド電極、
- 20…ガラス基板、
- 21、22、22…絶縁層。

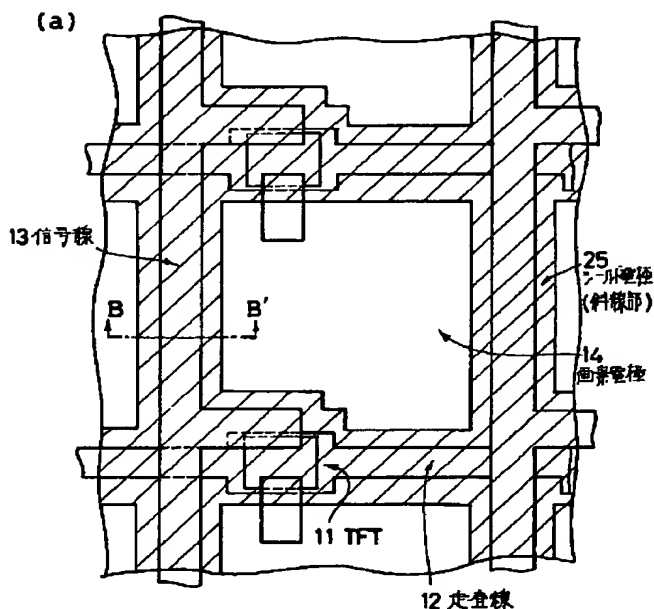
【図1】



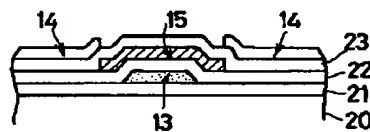
(b)



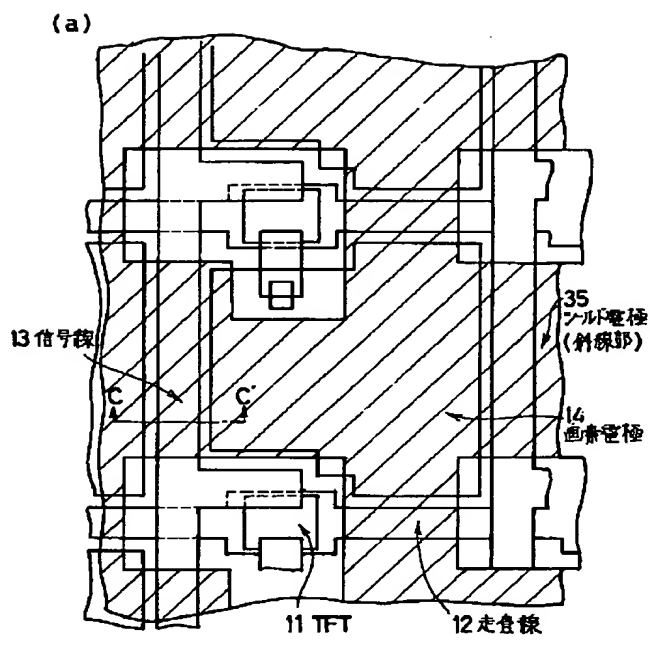
【図2】



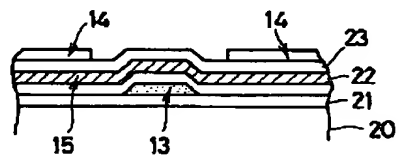
(b)



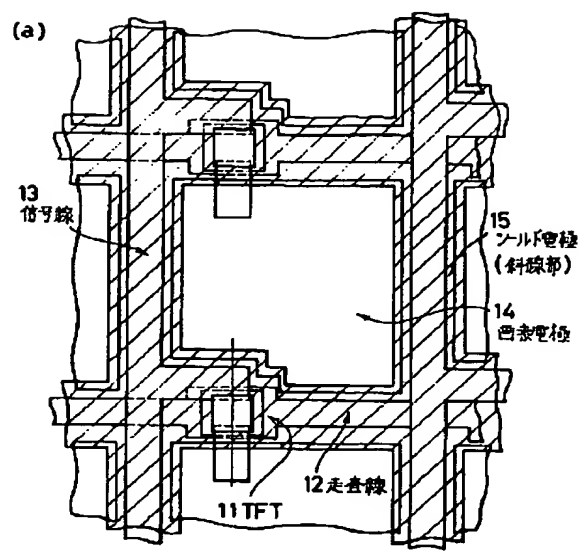
【図 3】



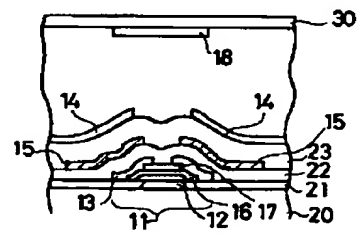
(b)



【図 4】



(b)



【図 5】

